


DS1307

Reloj serie en tiempo real 64 x 8

www.maxim-ic.com

CARACTERÍSTICAS

- El reloj de tiempo real (RTC) cuenta segundos, minutos, horas, fecha del mes, mes, día de la semana y año con compensación de año bisiesto válido hasta 2100
- RAM no volátil (NV) de 56 bytes con batería para almacenamiento de datos
- Interfaz serie de dos hilos
- Señal de salida de onda cuadrada programable
- Circuito automático de detección y conmutación de fallos de alimentación
- Consume menos de 500 nA en modo de batería de reserva con el oscilador en funcionamiento
- Rango de temperatura industrial opcional: -40°C a +85°C
- Disponible en DIP de 8 patillas o SOIC
- Reconocido por Underwriters Laboratory (UL)

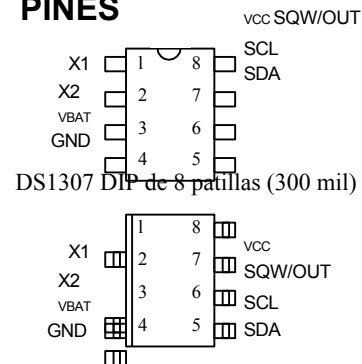
INFORMACIÓN PARA PEDIDOS

DS1307	DIP de 8 patillas (300 mil)
DS1307Z	SOIC de 8 patillas (150 mil)
DS1307N	DIP de 8 patillas (Industrial)
DS1307ZN	SOIC de 8 patillas
(Industrial)	

DESCRIPCIÓN

El DS1307 Serial Real-Time Clock es un reloj/calendario de bajo consumo, con codificación decimal binaria (BCD) y 56 bytes de NV SRAM. La dirección y los datos se transfieren en serie a través de un bus bidireccional de 2 hilos. El reloj/calendario proporciona información de segundos, minutos, horas, día, fecha, mes y año. La fecha de fin de mes se ajusta automáticamente para los meses con menos de 31 días, incluidas las correcciones por año bisiesto. El reloj funciona en formato de 24 o 12 horas con indicador AM/PM. El DS1307 dispone de un circuito sensor de alimentación integrado que detecta los fallos de alimentación y cambia automáticamente a la alimentación por pilas.

ASIGNACIÓN DE PINES



DS1307 SOIC de 8 patillas (150 mil)

DESCRIPCIÓN DEL PIN

V _{CC}	- Fuente de alimentación primaria
X1, X2	- Conexión de cristal de 32,768 kHz
V _{BAT}	- Entrada de batería +3V
GND	- Tierra
SDA	- Datos serie
SCL	- Reloj serie
SQW/OUT	- Onda cuadrada/Controlador de salida



DIAGRAMA DE BLOQUE DS1307 Figura 1



DESCRIPCIONES DE SEÑALES

V_{CC}, GND - Estos pines suministran corriente continua al dispositivo. V_{CC} es la entrada de +5V. Cuando se aplican 5V dentro de los límites normales, el dispositivo es totalmente accesible y se pueden escribir y leer datos. Cuando se conecta una batería de 3V al dispositivo y V_(CC) está por debajo de $1,25 \times V_{BAT}$, se inhiben las lecturas y escrituras. Sin embargo, la función de cronometraje continúa sin verse afectada por la menor tensión de entrada. Cuando V_(CC) cae por debajo de V_(BAT), la RAM y el cronómetro pasan a la fuente de alimentación externa (3,0V CC nominales) a V_{BAT}.

V_{BAT} - Entrada de batería para cualquier pila de litio estándar de 3V u otra fuente de energía. El voltaje de la batería debe mantenerse entre 2,0V y 3,5V para un funcionamiento correcto. La tensión nominal del punto de desconexión de protección contra escritura a la que se deniega el acceso al RTC y a la RAM de usuario está establecida por el circuito interno como $1,25 \times V_{BAT}$ nominal. Una batería de litio de 48mAh o superior respaldará al DS1307 durante más de 10 años en ausencia de alimentación a 25°C. Reconocido por UL para asegurar contra la corriente de carga inversa cuando se utiliza junto con una batería de litio.

Véanse las "Condiciones de aceptabilidad" en <http://www.maxim-ic.com/TechSupport/QA/ntrl.htm>.

SCL (Serial Clock Input) - SCL se utiliza para sincronizar el movimiento de datos en la interfaz serie.

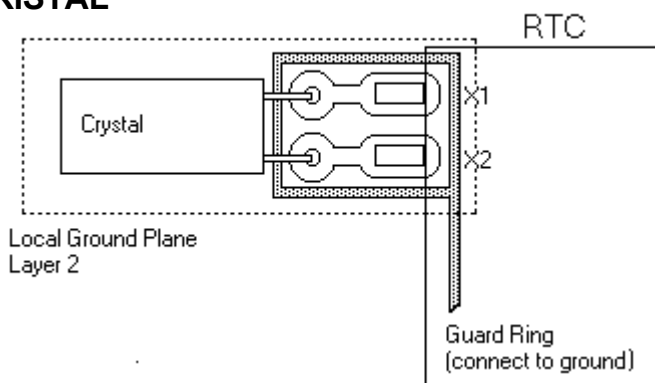
SDA (Serial Data Input/Output) - SDA es el pin de entrada/salida para la interfaz serie de 2 hilos. El pin SDA es de drenaje abierto que requiere una resistencia pullup externa.

SQW/OUT (Square Wave/Output Driver) - Cuando está habilitado, el bit SQWE está a 1, el pin SQW/OUT emite una de las cuatro frecuencias de onda cuadrada (1Hz, 4kHz, 8kHz, 32kHz). El pin SQW/OUT es de drenaje abierto y requiere una resistencia externa de pull-up. SQW/OUT funcionará con Vcc o Vbat aplicado.

X1, X2 - Conexiones para un cristal de cuarzo estándar de 32,768 kHz. El circuito oscilador interno está diseñado para funcionar con un cristal con una capacitancia de carga (CL) especificada de 12,5pF.

Para más información sobre la selección del cristal y consideraciones sobre su disposición, consulte la Nota de Aplicación 58, "Consideraciones sobre el cristal con los relojes de tiempo real de Dallas." El DS1307 también puede ser controlado por un oscilador externo de 32,768 kHz. En esta configuración, el pin X1 está conectado a la señal del oscilador externo y el pin X2 está flotado.

DISPOSICIÓN RECOMENDADA PARA EL CRISTAL



PRECISIÓN DEL RELOJ

La precisión del reloj depende de la precisión del cristal y de la precisión de la correspondencia entre la carga capacitiva del circuito oscilador y la carga capacitiva para la que se recortó el cristal. Se añadirá un error adicional por la deriva de la frecuencia del cristal causada por los cambios de temperatura. El ruido de circuito externo acoplado en el circuito oscilador puede hacer que el reloj se acelere. Consulte la Nota de aplicación 58, "Consideraciones sobre el cristal con los relojes de tiempo real de Dallas" para obtener información detallada.

Para más información, consulte la Nota de aplicación 95, "Interfaz del DS1307 con un microcontrolador compatible con 8051".

MAPA DE DIRECCIONES RTC Y RAM

El mapa de direcciones para los registros RTC y RAM del DS1307 se muestra en la Figura 2. Los registros RTC se encuentran en las posiciones de dirección 00h a 07h. Los registros RAM se encuentran en las posiciones 08h a 3Fh. Durante un acceso multibyte, cuando el puntero de dirección alcanza 3Fh, el final del espacio RAM, se envuelve hasta la posición 00h, el principio del espacio del reloj.

MAPA DE DIRECCIONES DS1307 Figura 2

00H	SEGUNDOS
	ACTAS
	HORAS
	DÍA
	FECHA
	MES
07H	AÑO
08H	CONTROL
3FH	RAM 56 x 8

RELOJ Y CALENDARIO

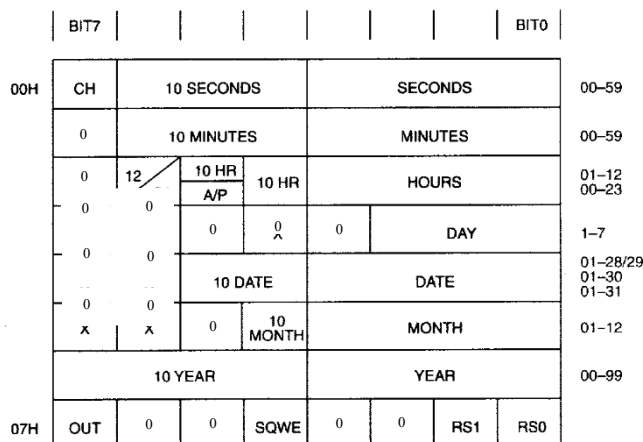
La información sobre la hora y el calendario se obtiene leyendo los bytes de registro correspondientes. Los registros RTC se ilustran en la Figura 3. La hora y el calendario se ajustan o inicializan escribiendo los bytes de registro apropiados. El contenido de los registros de hora y calendario está en formato BCD. El bit 7 del registro 0 es el bit de parada del reloj (CH). Cuando este bit se pone a 1, el oscilador se desactiva. Cuando se borra a 0, el oscilador está habilitado.

Tenga en cuenta que el estado inicial de encendido de todos los registros no está definido. Por lo tanto, es importante habilitar el oscilador (bit CH = 0) durante la configuración inicial.

El DS1307 puede funcionar en modo de 12 ó 24 horas. El bit 6 del registro de horas se define como el bit de selección del modo de 12 ó 24 horas. Cuando está alto, se selecciona el modo de 12 horas. En el modo de 12 horas, el bit 5 es el bit AM/PM con lógica alta para PM. En el modo de 24 horas, el bit 5 es el segundo bit de 10 horas (20- 23 horas).

En un START de 2 hilos, la hora actual se transfiere a un segundo conjunto de registros. La información de la hora se lee de estos registros secundarios, mientras que el reloj puede seguir funcionando. Esto elimina la necesidad de volver a leer los registros en caso de una actualización de los registros principales durante una lectura.

REGISTROS DE TIEMPO DS1307 Figura 3



REGISTRO DE CONTROL

El registro de control DS1307 se utiliza para controlar el funcionamiento del pin SQW/OUT.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OUT	0	0	SQWE	0	0	RS1	RS0

OUT (Control de salida): Este bit controla el nivel de salida de la patilla SQW/OUT cuando la salida de onda cuadrada está desactivada. Si SQWE= 0, el nivel lógico en la patilla SQW/OUT es 1 si OUT= 1 y es 0 si OUT = 0.

SQWE (Habilitación de onda cuadrada): Este bit, cuando se pone a 1 lógico, habilitará la salida del oscilador. La frecuencia de la salida de onda cuadrada depende del valor de los bits RS0 y RS1. Con la salida de onda cuadrada ajustada a 1Hz, los registros de reloj se actualizan en el flanco descendente de la onda cuadrada.

RS (Selección de frecuencia): Estos bits controlan la frecuencia de la salida de onda cuadrada cuando se ha habilitado la salida de onda cuadrada. La tabla 1 enumera las frecuencias de onda cuadrada que pueden seleccionarse con los bits RS.

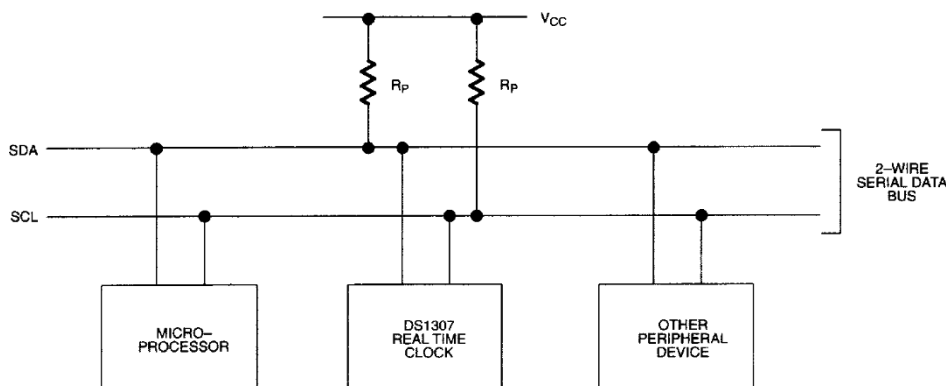
FRECUENCIA DE SALIDA CUADRADA Tabla 1

RS1	RS0	FRECUENCIA DE SALIDA SQW
0	0	1 Hz
0	1	4,096 kHz
1	0	8,192 kHz
1	1	32,768 kHz

BUS DE DATOS SERIE DE 2 HILOS

El DS1307 soporta un bus bidireccional de 2 hilos y un protocolo de transmisión de datos. Un dispositivo que envía datos al bus se define como transmisor y un dispositivo que recibe datos como receptor. El dispositivo que controla el mensaje se denomina maestro. Los dispositivos controlados por el maestro se denominan esclavos. El bus debe ser controlado por un dispositivo maestro que genere el reloj serie (SCL), controle el acceso al bus y genere las condiciones de START y STOP. El DS1307 opera como esclavo en el bus de 2 hilos. En la Figura 4 se muestra una configuración típica de bus utilizando este protocolo de 2 hilos.

CONFIGURACIÓN TÍPICA DE BUS DE 2 HILOS Figura 4



Las figuras 5, 6 y 7 detallan cómo se transfieren los datos en el bus de 2 hilos.

- La transferencia de datos sólo puede iniciarse cuando el bus no está ocupado.
- Durante la transferencia de datos, la línea de datos debe permanecer estable siempre que la línea de reloj esté ALTA. Los cambios en la línea de datos mientras la línea de reloj esté en ALTO se interpretarán como señales de control.

En consecuencia, se han definido las siguientes condiciones de bus:

Bus no ocupado: Tanto la línea de datos como la de reloj permanecen en ALTO.

Iniciar la transferencia de datos: Un cambio en el estado de la línea de datos, de ALTO a BAJO, mientras el reloj está en ALTO, define una condición de INICIO.

Detener la transferencia de datos: Un cambio en el estado de la línea de datos, de BAJO a ALTO, mientras la línea de reloj está ALTA, define la condición de PARADA.

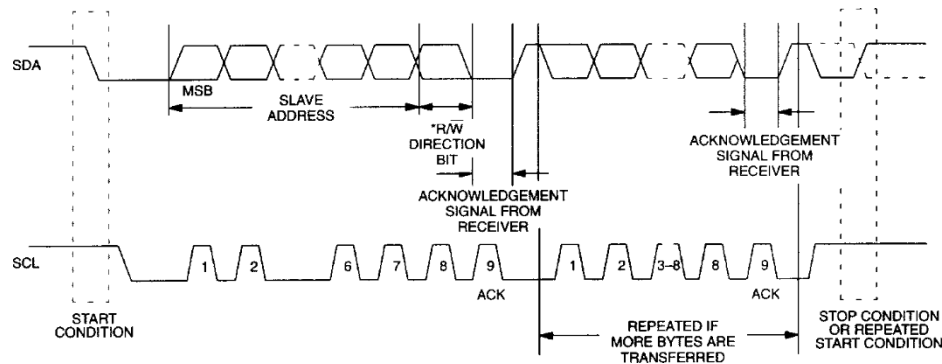
Datos válidos: El estado de la línea de datos representa datos válidos cuando, después de una condición START, la línea de datos es estable durante la duración del periodo HIGH de la señal de reloj. Los datos de la línea deben cambiarse durante el periodo BAJO de la señal de reloj. Hay un pulso de reloj por bit de datos.

Cada transferencia de datos se inicia con una condición de START y termina con una condición de STOP. El número de bytes de datos transferidos entre las condiciones START y STOP no está limitado, y lo determina el dispositivo maestro. La información se transfiere por bytes y cada receptor acusa recibo con un noveno bit. Dentro de las especificaciones del bus de 2 hilos se definen un modo normal (velocidad de reloj de 100 kHz) y un modo rápido (velocidad de reloj de 400 kHz). El DS1307 sólo funciona en modo normal (100 kHz).

Acuse de recibo: Cada dispositivo receptor, cuando es direccionado, está obligado a generar un acuse de recibo después de la recepción de cada byte. El dispositivo maestro debe generar un impulso de reloj adicional asociado a este bit de confirmación.

Un dispositivo que reconoce debe tirar hacia abajo de la línea SDA durante el pulso de reloj de reconocimiento de tal forma que la línea SDA esté estable BAJA durante el periodo ALTO del pulso de reloj relacionado con el reconocimiento. Por supuesto, deben tenerse en cuenta los tiempos de establecimiento y retención. Un maestro debe señalar el fin de los datos al esclavo no generando un bit de reconocimiento en el último byte que ha sido enviado por el esclavo. En este caso, el esclavo debe dejar la línea de datos en HIGH para permitir al maestro generar la condición de STOP.

TRANSFERENCIA DE DATOS EN BUS SERIAL DE 2 HILOS Figura 5



Dependiendo del estado del bit R/ w, son posibles dos tipos de transferencia de datos:

1. **Transferencia de datos de un emisor maestro a un receptor esclavo.** El primer byte transmitido por el maestro es la dirección del esclavo. A continuación siguen varios bytes de datos. El esclavo devuelve un bit de confirmación después de cada byte recibido. Los datos se transfieren con el bit más significativo (MSB) en primer lugar.
2. **Transferencia de datos de un emisor esclavo a un receptor maestro.** El maestro transmite el primer byte (la dirección del esclavo). A continuación, el esclavo envía un bit de confirmación. A continuación, el esclavo transmite varios bytes de datos. El maestro devuelve un bit de confirmación después de todos los bytes recibidos excepto el último. Al final del último byte recibido, se devuelve un bit de "no confirmación".

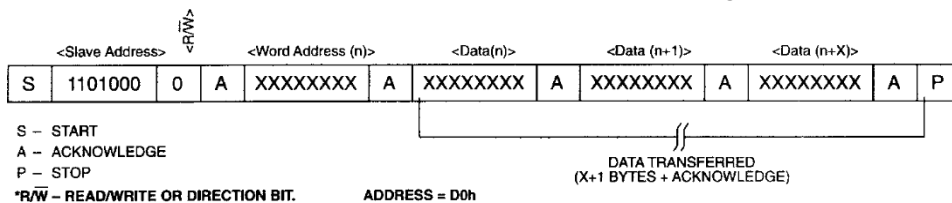
El dispositivo maestro genera todos los pulsos de reloj serie y las condiciones de START y STOP. Una transferencia finaliza con una condición STOP o con una condición START repetida. Dado que una condición START repetida es también el comienzo de la siguiente transferencia serie, el bus no se liberará. Los datos se transfieren con el bit más significativo (MSB) primero.

El DS1307 puede funcionar en los dos modos siguientes:

1. **Modo receptor esclavo (modo de escritura DS1307):** Los datos serie y el reloj se reciben a través de SDA y SCL. Después de recibir cada byte se transmite un bit de reconocimiento. Las condiciones START y STOP se reconocen como el principio y el final de una transferencia serie. El reconocimiento de la dirección se realiza por hardware tras la recepción de la dirección del esclavo y el bit de *dirección (Ver Figura 6). El byte de dirección es el primer byte recibido después de el genere la condición de inicio. El byte de dirección contiene

la dirección de 7 bits del DS1307, que es 1101000, seguida del bit de *dirección (R/ w) que, para una escritura, es un 0. Tras recibir y decodificar el byte de dirección, el dispositivo emite un acuse de recibo en la línea SDA. Después de que el DS1307 confirme la dirección del esclavo + el bit de escritura, el maestro transmite una dirección de registro al DS1307. El maestro comenzará entonces a transmitir cada byte de datos con el DS1307 reconociendo cada byte recibido. El maestro generará una condición de parada para terminar la escritura de datos.

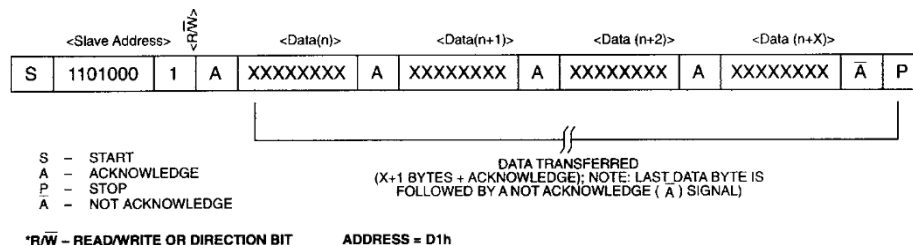
ESCRITURA DE DATOS - MODO RECEPTOR ESCLAVO Figura 6



2. **Modo transmisor esclavo (modo lectura DS1307):** El primer byte se recibe y maneja como en el modo receptor esclavo. Sin embargo, en este modo, el bit *direction indicará que la dirección de transferencia está invertida. Los datos serie se transmiten en SDA por el DS1307 mientras que el reloj serie se introduce en SCL. Las condiciones START y STOP se reconocen como el principio y el final de una transferencia serie (Ver Figura 7). El byte de dirección es el primer byte recibido después de que la condición de inicio es generada por el maestro. El byte de dirección contiene la dirección de 7 bits del DS1307, que es 1101000, seguida por el código

* bit de dirección (\overline{R}/w) que, para una lectura, es un 1. Después de recibir y decodificar el byte de dirección, el dispositivo introduce un acuse de recibo en la línea SDA. El DS1307 comienza entonces a transmitir datos comenzando con la dirección de registro apuntada por el puntero de registro. Si no se escribe en el puntero de registro antes de iniciar un modo de lectura, la primera dirección que se lee es la última almacenada en el puntero de registro. El DS1307 debe recibir un "not acknowledge" para finalizar una lectura.

LECTURA DE DATOS - MODO TRANSMISOR ESCLAVO Figura 7



VALORES MÁXIMOS ABSOLUTOS*

Tensión en cualquier patilla respecto a tierra	-0,5V a +7,0V
Temperatura de almacenamiento	-55°C a +125°C
Temperatura de soldadura	260°C durante 10 segundos DIP
	Véase la norma JPC/JEDEC J-STD-020A para dispositivos de montaje superficial.

* Se trata únicamente de una clasificación de tensión y no se implica el funcionamiento del dispositivo en estas condiciones o en cualquier otra por encima de las indicadas en las secciones de funcionamiento de esta especificación. La exposición a las condiciones nominales máximas absolutas durante largos periodos de tiempo puede afectar a la fiabilidad.

Gama	Temperatura	VCC
Comercial	0°C a +70°C	4,5V a 5,5V V _{CC1}
Industrial	-40°C a +85°C	4,5V a 5,5V V _{CC1}

CONDICIONES DE FUNCIONAMIENTO EN C.C. RECOMENDADAS

(En todo el rango de funcionamiento*)

PARÁMETRO	SÍMBOLO	MIN	TYP	MAX	UNIDADES	NOTAS
Tensión de alimentación	VCC	4.5	5.0	5.5	V	
Lógica 1	VIH	2.2		V _{CC} + 0,3	V	
Lógico 0	VIL	-0.5		+0.8	V	
V _{BAT} Tensión de la batería	VBAT	2.0		3.5	V	

*A menos que se especifique lo contrario.

CARACTERÍSTICAS ELÉCTRICAS DE CC

(En todo el rango de funcionamiento*)

PARÁMETRO	SÍMBOLO	MIN	TYP	MAX	UNIDADES	NOTAS
Fuga de entrada (SCL)	ILI			1	μA	
Fuga de E/S (SDA & SQW/OUT)	OIT			1	μA	
Salida lógica 0 (I _{OL} = 5mA)	VOL			0.4	V	
Corriente de alimentación activa	ICCA			1.5	mA	7
Corriente de espera	CIEC			200	μA	1
Corriente de la batería (OSC ON); SQW/OUT OFF	IBAT1		300	500	nA	2
Corriente de la batería (OSC ON); SQW/OUT ON (32kHz)	IBAT2		480	800	nA	
Tensión de fallo de alimentación	VPF	1,216 x V _{BAT}	1,25 x V _{BAT}	1,284 x V _{BAT}	V	8

*A menos que se especifique lo contrario.

CARACTERÍSTICAS ELÉCTRICAS DE CA

(En todo el rango de funcionamiento*)

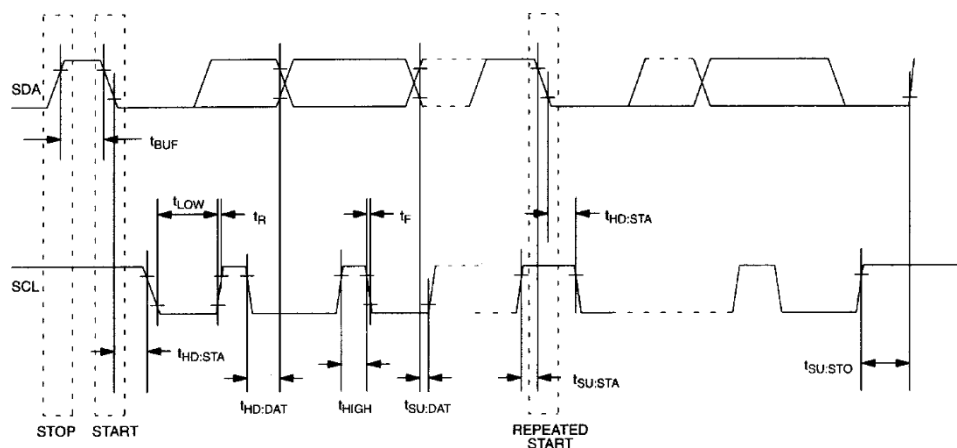
PARÁMETRO	SÍMBOLO	MIN	TYP	MAX	UNIDAD ES	NOTAS
Frecuencia de reloj SCL	fSCL	0		100	kHz	
Tiempo libre de autobús entre un STOP y Condición START	tBUF	4.7			μs	
Tiempo de mantenimiento (repetido) Condición de arranque	tHD:STA	4.0			μs	3
Período LOW del reloj SCL	tLOW	4.7			μs	
Período HIGH del reloj SCL	tHIGH	4.0			μs	
Tiempo de preparación para un arranque repetido Condición	tSU:STA	4.7			μs	
Tiempo de retención de datos	tHD:DAT	0			μs	4,5
Tiempo de preparación de datos	tSU:DAT	250			ns	
Tiempo de subida de las señales SDA y SCL	tR			1000	ns	
Tiempo de caída de las señales SDA y SCL	tF			300	ns	
Tiempo de establecimiento de la condición STOP	tSU:STO	4.7			μs	
Carga capacitiva para cada línea de bus	C _B			400	pF	6
Capacitancia de E/S (T _A = 25°C)	C _{I/O}		10		pF	
Cristal Capacidad de carga especificada (T _A = 25°C)			12.5		pF	

*A menos que se especifique lo contrario.

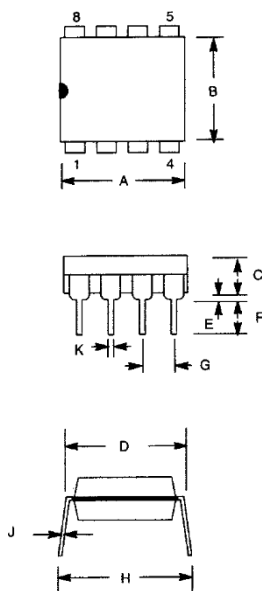
NOTAS:

1. I_{CCS} especificado con V_{CC}= 5,0V y SDA, SCL= 5,0V.
2. V_{CC}= 0V, V_{BAT}= 3V.
3. Tras este periodo, se genera el primer impulso de reloj.
4. Un dispositivo debe proporcionar internamente un tiempo de retención de al menos 300ns para la señal SDA (referido al V_{IHMIN} de la señal SCL) para salvar la región indefinida del flanco descendente de SCL.
5. El máximo t_{HD:DAT} sólo debe cumplirse si el dispositivo no alarga el periodo LOW (t_{LOW}) de la señal SCL.
6. C_B - Capacidad total de una línea de bus en pF.
7. I_{CCA} - Bloqueo SCL a frecuencia máxima= 100kHz.
8. V_{PF} medido a V_{BAT}= 3.0V.

DIAGRAMA DE TIEMPO Figura 8

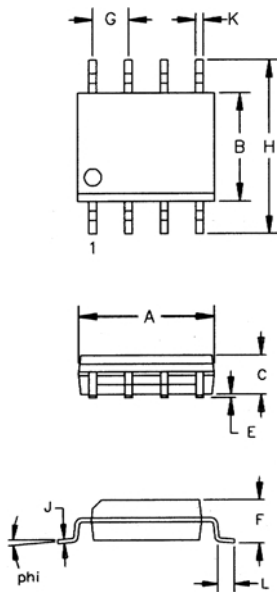


DS1307 RELOJ SERIE EN TIEMPO REAL 64 X 8 DIP DE 8 PATILLAS DIMENSIONES MECÁNICAS



PKG	8 PINES	
DIM	MIN	MAX
A IN.	0.360	0.400
MM	9.14	10.16
B IN.	0.240	0.260
MM	6.10	6.60
C IN.	0.120	0.140
MM	3.05	3.56
D EN.	0.300	0.325
MM	7.62	8.26
E IN.	0.015	0.040
MM	0.38	1.02
F IN.	0.120	0.140
MM	3.04	3.56
G IN.	0.090	0.110
MM	2.29	2.79
H IN.	0.320	0.370
MM	8.13	9.40
J IN.	0.008	0.012
MM	0.20	0.30
K IN.	0.015	0.021
MM	0.38	0.53

DS1307Z RELOJ SERIE EN TIEMPO REAL 64 X 8 8-PIN SOIC (150-MIL) DIMENSIONES MECÁNICAS



PKG	8 PATILLAS (150 MIL)	
DIM	MIN	MAX
A IN.	0.188	0.196
MM	4.78	4.98
B IN.	0.150	0.158
MM	3.81	4.01
C IN.	0.048	0.062
MM	1.22	1.57
E IN.	0.004	0.010
MM	0.10	0.25
F IN.	0.053	0.069
MM	1.35	1.75
G IN.	0,050 BSC	
MM	1,27 BSC	
H IN.	0.230	0.244
MM	5.84	6.20
J IN.	0.007	0.011
MM	0.18	0.28
K IN.	0.012	0.020
MM	0.30	0.51
L IN.	0.016	0.050
MM	0.41	1.27
phi	0°	8°

56-G2008-001